## Nand Flash规范

### 1 介绍

#### 1.1 概述

本规范定义了一个标准化的NAND闪存设备接口，该接口为系统提供了支持一系列NAND闪存设备而无需直接相关联的方法。该解决方案还为系统提供了使用新型NAND器件的方法，这些器件在系统设计时可能还不存在。

#### 1.2 定义和术语

* 地址：由行地址和列地址组成；行地址标识 页面、块和需要访问的LUN。列地址标识要访问的页面中的字节；
* 异步：指数据锁存时，写入时使用WE\_n信号，读取时使用RE\_n信号；
* 块：由多个页组成，是擦除操作的最小可寻址单元；
* 目标主机：一组共享相同主机CE\_n信号的NAND目标。如果不使用CE\_n缩减，那么主机目标相当于NAND目标；
* LUN：逻辑单元号，能够独立执行命令和报告状态的最小单元；
* NAND目标：在一个NAND封装中共享一个CE\_n信号的一组LUN；
* 页面寄存器：用于读取从闪存阵列传输的数据的寄存器。对于程序 操作，在将数据传输到Flash数组之前，数据被放置在这个寄存器中；

### 2 硬件接口

#### 2.1 信号描述

* R/B\_x\_n：就绪和忙信号表示目标器件的状态。当信号为低电平时，表示有一个或多个LUN正在进行操作。这个信号是漏极输出，需要外部上拉；
* RE\_x\_n：读使能信号使能串口数据输出。此信号与NV-DDR数据接口中的W/R\_x\_n共用同一引脚；
* RE\_x\_c：读使能补充信号是读使能信号的补充，可用于NV-DDR2 NV-DDR3或NV-LPDDR4数据接口。具体来说，当CE\_n为低电平时，读使能补充信号的电平与读使能信号相反；
* W/R\_x\_n：读写方向信号表示NV-DDR数据接口DQ总线和DQS信号的所有者；该信号与SDR、NV-DDR2和NV-DDR3数据接口中的RE\_x\_n共用同一个引脚；
* CE\_x\_n：芯片使能信号选择目标；当芯片使能为高电平且目标器件处于就绪状态时，目标器件进入低功耗待机状态；当片选信号为低电平时，选择目标器件；
* CLE\_x：命令锁存使能信号是主机用来指示总线周期类型(命令、地址、数据)的信号之一；
* ALE\_x：地址锁存使能信号是主机用来指示总线周期类型(命令、地址、数据)的信号之一；
* WE\_x\_n：写使能信号控制SDR数据接口中的命令、地址、和输入数据的锁存。写使能信号控制NV-DDR2 NV-DDR3或NV-LPDDR4数据接口中的命令和地址的锁存。数据、命令和地址锁存在WE\_x\_n的上升沿上。该信号与NV-DDR数据接口中的CLK\_x共用同一个引脚；
* CLK\_x：时钟信号作为NV-DDR数据接口的时钟。此信号与SDR, NV-DDR2和NVDDR3数据接口中的WE\_x\_n共享相同的引脚；
* WP\_x\_n：写保护信号禁止Flash阵列的程序和擦除操作；

#### 2.2 CE\_n信号要求

如果一个或多个LUN处于活动状态并且主机将CE\_n设置为高电平，那么这些操作将继续执行，直到完成，此时NAND目标进入待机状态。在CE\_n信号转换为高电平之后，主机可以将不同的CE\_n信号驱动为零，并开始对另一个NAND目标进行操作。

当某个LUN的SR[6]被清零，对应的 NAND目标的CE\_n信号被拉低时，主机可能只会对该LUN发出复位、同步复位、重置LUN或卷选择命令。

#### 2.3 查询数据结构

### 3 内存组成

设备包含一个或多个目标。一个目标由一个CE\_n信号控制。目标又一个或多个逻辑单元LUN组成。

LUN是能够独立执行命令并上报状态的最小单元。具体来说，不同LUN可以并行地对任意命令序列进行操作。例如，允许在LUN 0上启动一个页面编程操作，然后在操作完成之前在LUN 1上启动一个读命令。一个LUN至少包含一个页面寄存器和一个Flash阵列。页面寄存器的数量取决于该LUN支持的多平面操作的数量。Flash阵列包含许多块。

块是LUN中Flash阵列中最小的可擦除数据单元。LUN内的块个数没有限制。一个块包含许多页。页是用于读取和编程操作的最小可寻址单元。每页的用户数据字节数(不包括备用数据区域)应该是2的幂次方。每个块的页数应该是32的倍数。

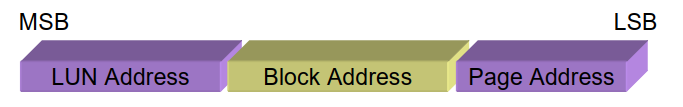
每个LUN至少有一个页面寄存器。页面寄存器用于数据的临时存储，在数据被移动到Flash阵列中的某个页面之前或者在数据从Flash阵列中的某个页面移动之后。页寄存器内的字节地址称为列。

#### 3.1 寻址

这里使用了两种地址：列地址和行地址。列地址用于访问页内的字节或字，即列地址是页的字节或字偏移量。在 NV-DDR, NV-DDR2, NV-DDR3和NV-LPDDR4数据接口中，列地址的最低有效位始终为零，即始终传输偶数字节。行地址用于页面地址、块地址和LUN地址。

当需要发出列地址和行地址时，列地址总是在一个或多个8位地址周期中首先发出。行地址遵循一个或多个 8位地址周期。有一些功能可能只需要行地址，如块擦除。在这种情况下，列地址不会发出。

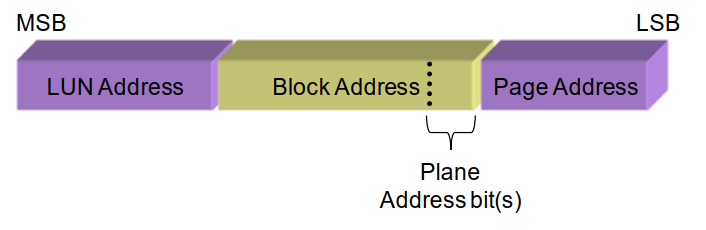
对于列地址和行地址，第一个地址周期总是包含最低有效的地址位，最后一个地址周期总是包含最高有效的地址位。如果在列和行地址的最高有效周期中有 位没有被使用，那么需要清除为零。



块的数量和每个块的页数不必是2的幂次方。如果其中一个值不是2的幂次方，则对应的地址应四舍五入到整数位，以使其地址的范围一直到2的后续幂。主机不能访问不支持范围内的地址。例如，如果每个块的页面数是96，那么页面地址应该是四舍五入到7位，这样它可以在0到127的范围内寻址页面。在这种情况下，主机不能访问96到127的页面，因为这些页面是不支持的。

##### 3.1.1 多平面寻址

多平面地址由块地址的最低位组成。在单个LUN上执行多平面命令序列时，多平面地址必须与多平面命令序列中的任何其他多平面操作不同；在多平面命令序列中，某些设备或多平面操作可能需要与其他多平面操作相同的页面地址。



##### 3.1.2 逻辑单元选择

作为NAND目标一部分的逻辑单元与主机共享一条数据总线。主机应确保在任何时间点只选择一个LUN输出数据给主机以避免总线争用。

主机通过向下发读状态增强命令，选择一个LUN作为以后的数据输出。读加强命令将取消所有未被该命令寻址的LUN的输出路径。在LUN内选择输出的页面寄存器由之前下发的读命令决定，不受读状态增强的影响。

##### 3.1.3 多LUN操作限制

LUN是独立的实体。多LUN操作是指两个或两个以上的LUN同时处理命令 。在对多个LUN进行操作时，单个LUN 可能处于忙或就绪状态的任意组合。

当在没有0x11命令的LUN上下发0x80页面编程命令时，如果不支持或启用程序页寄存器清除增强功能，则所有空闲LUN可能会清除其页寄存器。因此，当读页操作正在进行或已经完成，但数据尚未从另一个LUN读取时，主机不应该在LUN上启动页编程命令，因为这会使用于读操作的页寄存器的内容将丢失。当页编程命令在另一个LUN中运行时，可以不受任何限制地向一个LUN下发读页命令。

在发出页面编程命令(0x80)时，主机不应该在同一卷中选择另一个LUN，直到所有数据输入完毕并发出0x10或0x15命令后。对于多平面操作，在选择其他LUN之前，请先将所有多平面地址的所有数据输入完成。

当向多个LUN发出读操作时，主机应采取措施避免列地址被破坏。主机在从新选择的LUN中读出数据之前，需要发出改变读取行命令。

如果已经下发了多LUN操作，则下一个下发的状态命令必须为读加强命令。读加强命令会使未选中的LUN关闭其输出缓冲区。这样确保只有读加强命令选择的LUN才能响应后续的数据输出。执行读加强命令后，读状态命令可能会一直使用，直到下一次多LUN操作下发。

当主机同时下发读页命令给多个LUN时，主机下发增强读状态命令后，再从其中一个LUN读取数据。这样可以保证在使用0x0命令将置于数据输出模式后，只有命令选择的LUN响应一个数据输出周期，从而避免总线争用。对于多个LUN读序列中有读页命令未完成的LUN，在传输数据之前需要执行改变读列命令。

当对多个LUN下发混合命令(如对一个LUN进行读操作，对另一个LUN进行 程序操作)时，对选中的 LUN下发读状态增强命令后，所选LUN必须在任意数据输出之前下发更改读列或更改读列增强命令。

在所有情况下，如果所有LUN都不繁忙，主机可能会将读状态增强命令顺序替换为更改读列增强命令。

#### 3.2 卷寻址

要指定卷地址，需要使用设置特性命令指定一个卷配置的特性地址。卷地址不会在整个电源 周期中保留，因此，如果要使用卷地址，则需要在每次上电之后，在使用NAND设备之前指定卷地址。

指定卷地址后，当关联的CE\_n被拉低时，将选择每个NAND Target(和关联的LUN)。主机发出卷选择命令 ，指示将执行下一个发出的命令的卷(即NAND目标)。

卷是独立的实体。多卷操作是指两个或多个卷 同时处理命令。在向未选中的卷发出命令之前，应将 CE\_n设置为高电平至少持续tCEH，然后发出卷选择命令 以选择接下来要向其发出命令的卷。当对所选卷执行命令(包括多LUN操作)时，不需要执行卷选择命令。

不支持对多个卷同时下发相同的命令。

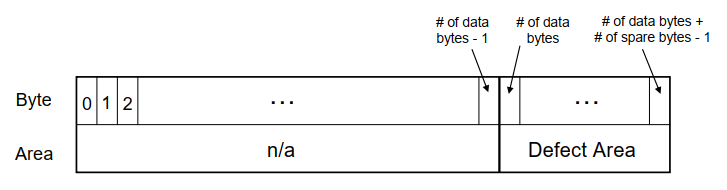
对于LUN级别的命令，主机可以在 数据输入或数据输出操作中选择不同的卷，然后在稍后的时间恢复LUN级别命令的数据传输操作，但是对于支持大于800MT/s的设备，当使用卷选择命令中断数据输入操作时，主机可能需要在卷选择命令之前发出0x11命令。

使用卷寻址时，LUN需要支持卷还原。具体来说，如果将CE\_n 从高电平切换到低电平并且卷选择不是第一个命令，则该LUN将根据 最后指定的卷地址恢复到先前的选择、检测的状态。

#### 3.3 坏块检测

Flash阵列不是毫无损坏的，可能存在一些缺陷，使得一些块无法使用。块粒度用于描述缺陷，因为那些缺陷可能损害块擦除能力。

如果一个块有缺陷并使用8位数据访问，制造商应将该块标记为缺陷，将缺陷块的第一页或最后一页的缺陷区域的第一个字节设置为0x00。如果一个块有缺陷并且使用16位数据访问 ，制造商应通过将缺陷块的第一页或最后一页的缺陷 区域的第一个字设置为0x0000来标记该块为缺陷块。



主机不得擦除或编程被制造商标记为有缺陷的块，这样做都会产生不确定的结果。

主机应该执行算法以便在对目标执行任何擦除或编程操作之前创建初始坏块表。所有页面地址的无缺陷块中所有页面的初始状态为0xFF。尽管如果可以通过向主机报告所需的ECC进行纠正，则可能存在一些位错误。有缺陷的块由一个字节值表示，对于8位访问等于0x00，在块的第一页或最后一页的缺陷区域的第一个字节位置出现。主机应检查每个块的第一个和最后一个页的缺陷区域的第一个字节以验证在对块进行任何擦除或编程操作之前是有效的。

#### 3.4 扩展ECC信息报告

设备可能会在扩展参数页面上报扩展ECC信息。所需的 ECC可纠错性与其他设备参数密切相关，如有效块的数量 和支持的程序/擦除周期的数量。扩展的ECC信息允许设备指定多种有效的方法来使用设备。

第0字节表示ECC可纠错位数。该字段表示主机应该能够纠正每个码字的位数。 码字大小在第1字节中指示。有了这个指定的主机纠错量，目标应该达到4-5字节中指定的块持久性。当主机应用纠错并切遵循块持久时间，那么设备不能超过2-3字节中指定的最大坏块数。如果字节0中ECC 要求的值大于零，则页面中所有已使用的字节均由主机控制器ECC保护，包括备用字节。当该值清除为零时，如果ECC信息块有效(码字大小非零)，则目标器返回有效数据。

第1字节表示码字大小。字节0中指定的ECC可纠错的位数是基于特定的ECC码字大小。ECC码字大小在此字段中指定为2的幂次方。最小值为512字节(值为9)，如果为0则表示该ECC信息块无效，不会被使用。

第2和3字节表示每个LUN最大坏块数。该字段包含在制造和设备寿命期间每个LUN可能存在缺陷的块的最大数量。最大评级假设主机符合块耐久性要求和此扩展ECC信息块中报告的ECC要求。

第4和5字节表示块期限。该字段表示每个可寻址页或块的最大编程和擦除周期数。该值假设主机正在使用字节0中报告的ECC可纠错性。

#### 3.5 初始化

##### 3.5.1 不使用CE\_n引脚

在一个封装芯片上可能有多个芯片使能(CE\_n)信号，每个信号分别对应一个可寻址目标。CE\_n信号依次在设备上使用；CE0\_n始终连接并且CE\_n信号应按数字递增顺序连接。主机应该尝试枚举连接到所有主机CE\_n信号的目标。支持独立双数据总线的芯片的发现过程包括确定目标连接到哪个数据总线。

要测试的CE\_n引脚首先被主机拉低以便在连接时启用目标，而所有其他CE\_n信号都被拉高。然后主机将向目标发出复位 (0xFF)命令。重置之后，主机应该向目标发出读ID命令。如果使用地址为0x20的读id命令返回ONFI签名，则对应的目标器为已连接。如果没有返回ONFI签名或任何步骤遇到错误或超时，则CE\_n未连接并且不再使用该CE\_n信号。

要测试的CE\_n首先被主机拉低，以便在连接时启用目标，而所有其他CE\_n信号都被拉高。然后主机将向目标发出复位(0xFF)命令。重置之后，主机应该向目标发出一个地址为0x20的读ID命令。如果读取ID命令时返回ONFI签名，则对应的目标器已连接。

如果没有返回ONFI签名(或任何步骤遇到错误或超时)，则应该探测第二个8位数据总线。主机应该使用第二个8位数据总线向目标发出重置(0xFF)命令。在重置之后，主机应该向第二个8位数据总线上的目标发出一个地址为0x20的读ID命令。如果读取ID命令返回ONFI签名，则对应的目标已经连接并且使用第二个8位数据总线。在发现目标器正在使用第二个8位数据总线后，对该目标器的所有后续命令都应使用第二个8位数据总线，包括读取参数页。如果第二个8位数据总线没有返回ONFI签名，第二个8位数据总线描述的发现过程应该对第三和第四个8位数据总线重复

##### 3.5.2 使用CE\_n引脚

上电后，主机可以对所选主机目标上的所有NAND目标并行地发出复位(0xFF)命令或者主机可以顺序地对连接到特定主机的每个NAN目标发出复位命令。所选择的方法取决于主机对最大电流消耗的要求。为了并行地重置所有的NAND目标，主机发出复位命令，作为向NAND设备发出的第一个命令。为了按顺序重置NAND目标，主机将发出读状态 (0x70)命令，作为向所选主机目标上的所有NAND目标发出的第一个命令。

在一个包中有多个NAND目标的情况下，这些NAND目标共享相同的ENo信号。当多个NAND目标共享一个ENo信号时，主机不能错开指定卷地址的设置特性命令。如果设置功能命令没有同时发出，那么主机应该等待直到前一个NAND目标的卷指定完成，然后再发出下一个设置功能命令，为芯片内共享ENo信号的下一个NAND目标指定卷地址。

在发出设置特性命令指定卷地址之后，在tFEAT时间过去之前，主机不应向关联主机目标上的任何NAND目标发出另一条命令(包括状态命令)。这是为了确保NAND 目标正确响应下一个命令。

在指定卷地址之后，主机可以完成任何额外的初始化任务，然后继续正常操作。

##### 3.5.3 目标初始化

初始化已发现的目标器，需要执行以下步骤。对于每个连接的CE\_n信号，应该遵循初始化过程 ，包括为每个目标执行读参数页(ECh)命令。每个芯片使能对应一个唯一的目标，具有自己的独立属性。

主机应该发出读取参数页 (ECh)命令。该命令返回信息，其中包括设备的功能、特性和操作参数。当从设备读取信息时，主机应该检查CRC以确保正确地接收到数据并且在对该数据采取行动之前没有错误。

如果第一个参数页读取的CRC无效，主机应该读取冗余参数页副本。主机可以通过检查前4个字节中是否包含至少2个参数页签名来判断是否存在多余的参数页。如果参数页签名存在，那么主机应该读取冗余参数页的全部内容。然后主机应该检查冗余参数页的CRC。如果CRC正确，主机可能会根据该冗余参数页的内容采取操作。如果CRC不正确，那么主机应该尝试通过相同的过程读取下一个冗余参数页。

主机应该继续读取冗余的参数页，直到主机能够准确地重建参数页的内容。目标返回的所有参数页可能具有无效的CRC值；但是可以使用逐位多数或其他ECC技术来恢复参数页的内容。主机可以使用位多数或其他ECC技术从当前的参数页副本中恢复参数页的内容。当主机确定参数页签名不存在时，那么所有的参数页都被读取。

读取ID和读取参数页命令只使用数据总线的低8位。主机不应该在x16设备上发出使用字数据宽度的命令，直到主机确定设备在参数页中支持16位数据总线宽度。

在成功检索参数页之后，主机就拥有了与该目标成功通信所需的所有信息。如果主机之前没有为这个目标映射有缺陷的块信息，那么主机接下来应该映射出目标中的全部有缺陷的块。主机然后可以继续利用目标，包括擦除和编程操作。

### 4 数据接口和时序

#### 4.1 数据接口类型概述

ONFI支持五种不同的数据接口类型：SDR、NV-DDR、NV-DDR2、NV-DDR3和NVLPDDR4。SDR数据接口是传统的NAND接口，使用RE\_n锁存读取的数据，使用WE\_n锁存写入的数据并且不包括时钟。NV-DDR数据接口是双倍数据速率(DDR)，包括一个指示命令和地址应该在锁存的时钟，以及一个指示数据应该在哪里锁存的数据探测信号。NV-DDR2数据接口是双倍数据速率(DDR)，并包括额外的扩展功能，如在线终止和差分信号。NV-DDR3数据接口包括所有NV-DDR2 功能，但工作在1.2V。NV-LPDDR4数据接口采用LTT电气信令，工作电压为1.2V。

如果上电时电压为1.8V或3.3V，则设备工作在SDR数据接口定时模式0。主机在参数页面中确定支持NV-DDR或NV-DDR2数据接口后，可以通过设置特性地址为0x01选择NV-DDR或NV-DDR2数据接口和支持的定时模式。

如果上电时电压为1.2V，则设备工作在NV-DDR3接口时序模式0。当主机在参数页面中确定了支持的NV-DDR3定时模式后，主机可能会通过将CE\_n 调至所需的定时模式，并将接口速率调整为所需的定时模式来启用支持的定时模式。当主机将CE\_n拉低时，新的定时模式激活。

NV-DDR、NV-DDR2、NV-DDR3和NV-LPDDR4数据接口使用DDR协议。因此，总是传输偶数字节。当使用DDR协议时，列地址的最低有效位应该始终为零。如果在使用DDR协议时将列地址的最低有效位设置为1，则结果是不确定的

#### 4.2 信号功能分配

#### 4.3 总线状态

##### 4.3.1 NV-DDR

ALE/CLE的11b用于数据传输。总线状态持续整个CLK周期，从CLK的上升沿开始。因此，对于数据周期，每个总线状态有两个数据输入周期或两个数据输出周期。 空闲总线状态用于在命令周期、地址 周期或数据流之后终止DQ总线上的活动。

##### 4.3.2 暂停数据输入/输出

主机在使用任何数据接口时，可能会进入空闲状态，导致数据输入或数据输出暂停。

在SDR数据接口中，暂停数据输入或暂停数据输出是通过将WE\_n或 RE\_n保为高电平来实现的。

在NV-DDR数据接口中，暂停数据输入或暂停数据输出是通过将ALE和CLE 都清除为零来实现的。在适用的tCAD时间过去后，主机可以通过将ALE和CLE同时设置为高电平来继续数据传输。

在NV-DDR2、NV-DDR3或NV-LPDDR4数据接口中，可以通过暂停RE\_n (RE\_t/RE\_c)并保持信号高电平或低电平直到数据突发恢复，在数据输出突发的中间暂停数据输出。数据输入的暂停也可以在数据输入突发的中间通过暂停DQS (DQS\_t/DQS\_c)并保持信号高低电平或低电平直到数据突发恢复来完成。如果DQS(DQS\_t/DQS\_c)或RE\_n (RE\_t/RE\_c)暂停，使得当前I/O频率不为数据突发维持，则可以认为数据突发暂停。在数据输入和输出突发暂停时间内，WE\_n应保持高位。ODT(如果启用)在整个暂停时间保持打开状态，并且在从暂停重新启动数据突发时不重新发出预热周期(如果启用)。

在数据输入或数据输出爆发的中间暂停只允许高达800MT/s的数据速率。在800MT/s以上，出于信号完整性考虑，不允许在数据输入或数据输出突发中暂停，如果数据突发中断，则需要主机先退出数据突发，然后再恢复

当ALE或CLE或CE\_n被切换为高电平时，将退出数据突发传输。在数据突发退出后，如果启用了预热周期，则在重新启动数据突发时需要预热周期。在数据突发退出后，ODT也可能被禁用，但是如果需要来满足系统的信号完整性需求，则必须在重新启动数据突发之前重新启用ODT。如果主机希望结束数据突发，在退出数据突发之后，将发出一个新的命令。

对于支持速率大于800 MT/s的设备，如果数据输入突发被退出并且CE\_n在超过1us中保持高，为了能够在以后的时间恢复数据输入突发，主机可能需要发出一个供应商特定的命令，然后退出数据输入突发。要重新启动已退出的数据输入突发，必须发出改变写行或改变写列命令。

#### 4.4 重复字节

NV-DDR、NV-DDR2、NV-DDR3和NV-LPDDR4数据接口采用DDR数据传输技术，实现较高的数据传输速率。但是，某些配置和设置命令不经常使用，并且不需要很高的数据传输速率。此外，这些命令通常不受用于数据传输的管道的服务。

为了避免给这些命令的实现增加不必要的复杂性和需求，数据使用单数据速率传输。具体而言，相同的数据字节重复两次，并应符合NV-DDR、NV-DDR2、NV-DDR3或NV-LPDDR4数据接口所需的时序。在这些情况下的数据模式是D0 D0 D1 D1 D2 D2等。接收器(主机或设备)应该只锁存每个数据字节的一个副本。数据输入或数据输出分别为，在这些命令期间不得暂停。在开始内部操作之前，接收器不需要等待重复的数据字节。

NV-DDR、NV-DDR2、NV-DDR3和NVLPDDR4数据接口中每个数据字节重复两次的命令有设置属性、读id、获取属性、读状态、读状态加强和ODT配置命令。SDR命令可以使用设备支持的最高数据传输速率。如果没有使用SDR定时模式0发出ODT配置命令，则主机在发出下一个命令周期之前需要等待40ns。

#### 4.5 数据接口和时序

不支持从NV-DDR直接转换到NV-DDR2(反之亦然)。主机需要切换到SDR数据接口，然后选择NV-DDR或NVDDR2数据接口。在任何数据接口中，都支持定时模式之间的转换。

当需要修改数据接口为NV-DDR或NV-DDR2时，或者需要修改定时模式时，需要使用设置特性命令配合定时模式特性使用。设置特性命令(0xEF)、特性地址和四个参数在前面选择的数据接口中使用前面选择的定时方式输入。在发出设置特性命令时，主机应在整个命令(包括参数输入)过程中将DQS信号驱动到高电平(如果发出设置特性命令的接口支持)。输入第四个参数后，直到tITC时间过去，主机才会向设备发出任何命令。发出设置特性命令后，在转换CE\_高电平之前，主机将信号保持在空闲状态并将DQS设置为1。此外，当使用NV-DDR接口时，CLK速率只在CE\_n较高时才会改变。

要更改NV-DDR3或NV-LPDDR4的定时模式，主机应将CE\_n调至高电平并将接口速度更改为所需的定时模式。当主机将CE\_n拉低时，新的定时模式激活。当改变NV-DDR3或NV-LPDDR4时序模式时，在将CE\_n调高之前，主机应将信号保持在总线空闲状态，DQS设置为高电平。

主机要从NV-DDR或NV-DDR2切换到SDR数据接口，需要使用SDR定时模式0的复位(0xFF)命令。任何时序模式下的设备都需要识别SDR时序模式0下发出的复位(0xFF)命令。发出复位后，主机将不向设备发出任何命令，直到tITC时间过去。请注意，在tITC时间过去之后，主机只能发出状态命令，直到复位完成。在发出复位(0xFF)后，在转换CE\_n高电平之前，主机应将信号保持在空闲状态，DQS设为1。

在选择NV-DDR2数据接口之前，建议先配置NV-DDR2数据接口的相关设置。设置特性命令应用于配置NV-DDR2功能。如果片内终端与更高级的拓扑一起使用，则应该发出适当的ODT配置命令。这些操作应该在选择NV-DDR2数据接口之前完成。如果在已经选择NV-DDR2数据接口时修改了这些设置，则主机应注意，以确保以避免信号完整性问题的方式应用适当的设置。

在启用NV-DDR3数据接口的定时模式之前，建议将NV-DDR3数据接口的定时模式设置为“定时模式0”，建议设置为。设置特性命令用于配置NV-DDR3功能。如果片内终端与更高级的拓扑一起使用，则应该发出适当的ODT配置命令。这些操作应该在启用NV-DDR3定时模式(而不是定时模式0)之前完成

#### 4.6 数据总线反转

DBI是NAND器件的可选功能，用于降低功耗和数据输入输出过程中的电源以及总线噪声。支持DBI的设备应有DBI引脚 来指定DQ信号是否由发射机侧反转。DBI应与DQ信号 同步。

数据输入/输出时，DBI信号为0或1，其中0表示同一周期的DQ信号未反转，1表示同一周期的DQ信号反转。当主机或NAND器件输出DQ带DBI时，如果内部DQ信号1的个数大于4，应在引脚上将DQ信号反相并将DBI置为1。否则，如果1的个数等于或小于4，则不反转引脚上的DQ信号，将DBI置为0。DBI功能应通过设置功能激活或停用。

#### 4.8 ZQ校准

ZQ校准对于NV-DDR2接口是可选的。ZQ校准是可选的，但建议NV-DDR3接口超过400MT/s的速度。无论数据速率如何，NV-LPDDR4接口都需要ZQ校准。

ZQ校准通过发出0xF9命令ZQCL (ZQ长校准)和0xD9命令ZQCS (ZQ短校准)来完成。ZQ校准用于校准NAND值，也可用于校准ODT值。在初始化时需要较长的时间来校准输出驱动器和片上终止电路，而执行周期性校准所需的时间相对较小。

ZQCL用于上电初始化顺序后进行初始校准。控制器可以根据系统环境随时发出用于启用ZQCL的命令。ZQCL触发NAND内部的校准引擎，一旦校准实现，校准值从校准引擎传输到NAND器件的IO引脚，其更新输出驱动程序和片上终止值。

#### 4.9 IO驱动强度

设备可以使用设置特性命令配置多个驱动强度。设备可能支持50欧姆、37.5欧姆或35欧姆、25欧姆和18欧姆设置 。设备支持的18欧姆、25欧姆、35欧姆或37.5欧姆设置在参数页中指定。只支持SDR数据 接口的设备可以支持所有或子集的驱动程序强度设置。支持驱动强度设置的设备应符合输出驱动要求。

#### 4.10 电容

对于支持速度超过 533 MT/s的NV-DDR3器件和NV-DDR2器件，器件电容要求应使用封装电气规范和焊盘电容。

电容增量值测量封装中所有LUN的引脚到引脚电容， 包括跨数据总线，如果封装中每个x8数据总线(即 封装通道)具有相同数量的lun。电容增量值不测量跨数据总线，如果

与典型电容的差异是最大电容或最小电容信号组中的任何引脚相对于该信号组的典型值可能具有的差异。方差与典型报告值对称偏移，并限定绝对最大和最小电容值。

所有共享I/O的NAND目标都应该报告一个等效的典型电容，以便满足电容增量要求。如果具有不同典型电容值的NAND目标共享IO总线，则这些表中的值不适用，实施者需要完成详细的拓扑和信号完整性分析，以确定可实现的总线速度。

#### 4.11 差分信号

更高速度操作的使能器是用于RE\_n和DQS信号的差分信号。对于NV-DDR2/NV-DDR3接口，可以选择使用互补RE\_n和互补DQS信号来创建差分信号对(RE\_t/RE\_c和DQS\_t/DQS\_c)。当使用差分信令时，RE\_n被称为RE\_t, DQS被称为DQS\_t，即信号的“真实”版本。差分信号可用于通过增强噪声抗扰性来提高信号完整性。NV-DDR2、NV-DDR3和NV-LPDDR4数据接口只支持差分信令。对于NV-LPDDR4接口，需要同时使能RE\_n和DQS信号的差分信令，必须先使能该接口。

设备可能支持差分RE\_n和/或差分DQS信令。在参数页中报告了对差分RE\_n以及DQS的支持。默认情况下，不使能差分信令功能。主机可以通过NVDDR2、NV-DDR3以及NV-LPDDR4配置特性配置设备使用差分信令。

当选择的数据接口为NV-DDR2、NV-DDR3或NVLPDDR4时，配置特性使能差分信令时，差分信号处于活动状态。对于支持NV-DDR2接口的设备，在使能NVDDR2接口前，建议先通过SDR数据接口配置NV-DDR2/NV-DDR3/NV-LPDDR4配置特性。对于NV-DDR2、NV-DDR3接口，在改变NV-DDR2/NV-DDR3/NV-LPDDR4配置特性中的差分信令设置状态后，主机在发出后续命令之前，需要先将CE\_n设置为高电平以免出现信号完整性问题。

在NV-DDR2中，如果有复位(0xFF)操作，则禁用差分信令。然而，在NV-DDR3和NV-LPDDR4中，在复位(0xFF)操作中保留了不同的信号设置。

#### 4.12 预热周期

为了支持更高速度的操作，可以提供数据输出和数据输入的预热周期 。只支持NV-DDR2、NV-DDR3和NV-LPDDR4数据接口的预热周期。

数据输出的预热周期在数据输出突发开始时提供额外的RE\_n和相应的DQS转换。这些额外的RE\_n/DQS转换没有任何与其相关的数据。额外周期的数量通过NV-DDR2/NV-DDR3/NVLPDDR4配置特性地址配置。指定的周期数包括一个完整的数据输出周期。

数据输入的预热周期在数据输入突发开始时提供额外的DQS转换。这些额外的DQS转换没有任何与之相关的数据。额外的 周期数通过NV-DDR2/NV-DDR3/NV-LPDDR4配置特性地址配置。指定的周期数包括一个完整的数据输入周期(DQS的上升沿和下降沿)。

预热周期对于数据输出和数据输入都是可选的，如果使用，则不需要将配置为相同的值。预热周期适用于所有命令，包括SDR命令。当为该数据传输类型启用预热周期时，应在每个数据突发开始时启动预热周期。如果主机暂停，然后在没有退出和重新进入数据突发的情况下恢复数据传输，那么主机将不会发出额外的预热周期。退出和重新进入数据突发时，应将ALE、CLE或CE\_n设置为高电平而不与WE\_n锁存。在不重新发出预热周期的情况下，主机应该注意避免由于在没有预热周期的情况下暂停数据传输并恢复而导致的信号完整性问题。

当选择的数据接口为NV-DDR2、NV-DDR3或NVLPDDR4时，且在NV-DDR2/NV-DDR3/NV-LPDDR4配置特性中启用了预热周期，则启动预热周期。对于NV-DDR2，建议通过SDR数据接口配置NV-DDR2/NV-DDR3/NV-LPDDR4配置特性。如果在NV-DDR2、NV-DDR3或NV-LPDDR4接口处于活动状态时启用了预热周期，则在设置功能完成后，所有后续命令都应使用预热周期。

#### 4.13 端接电阻

根据系统拓扑的不同，在更高的速度下可能需要端接电阻(ODT)。端接电阻是一种可选功能，可用于满足在特定拓扑中更高的速度。如果需要在特定条件下优化电源，则可能禁用端接电阻并且拓扑可能需要以较慢的速度运行。仅支持NV-DDR2、NV-DDR3和NV-LPDDR4数据接口的端接电阻。

在初始化期间配置片上终止设置。主机可以在仅自终止的配置中配置端接电阻或者可以配置更灵活的方案，利用矩阵端接电阻。

对于更灵活的ODT配置，主机配置一个端接电阻矩阵，该矩阵定义为特定卷终止的LUN。该矩阵是使用ODT配置命令配置的。

根据周期的类型启用和禁用ODT(打开用于数据输入和输出周期，关闭用于命令和地址周期)。端接电阻适用于所有命令的数据输入和输出周期。

当通过NV-DDR2/NV-DDR3/NV-LPDDR4配置特性地址使能端接电阻时。若要对非目标或使用多个端接电阻的拓扑使用矩阵端接电阻，应使用卷地址机制，并使用ODT配置命令指定端接电阻配置矩阵。如果使用矩阵端接电阻，应该将ODT配置命令发送给所有NAND目标上的至少一个LUN。

#### 4.14 时序参数

当要求的最小和最大时间没有遵守时，设备的行为是未定义的。

本节描述了与所使用的数据接口类型无关的定时参数。对于执行第一个读参数页命令，在完成初始化之前，应使用tR值为200 us，tCCS值为500 ns。对于页面读取，包括初始化完成后执行额外的读参数页命令，应使用参数页中包含的tR和tCCS的值。